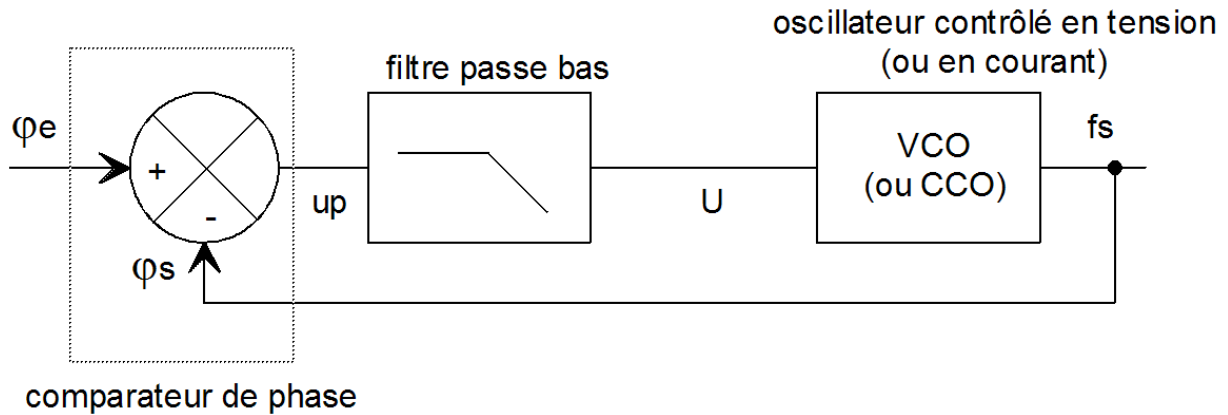


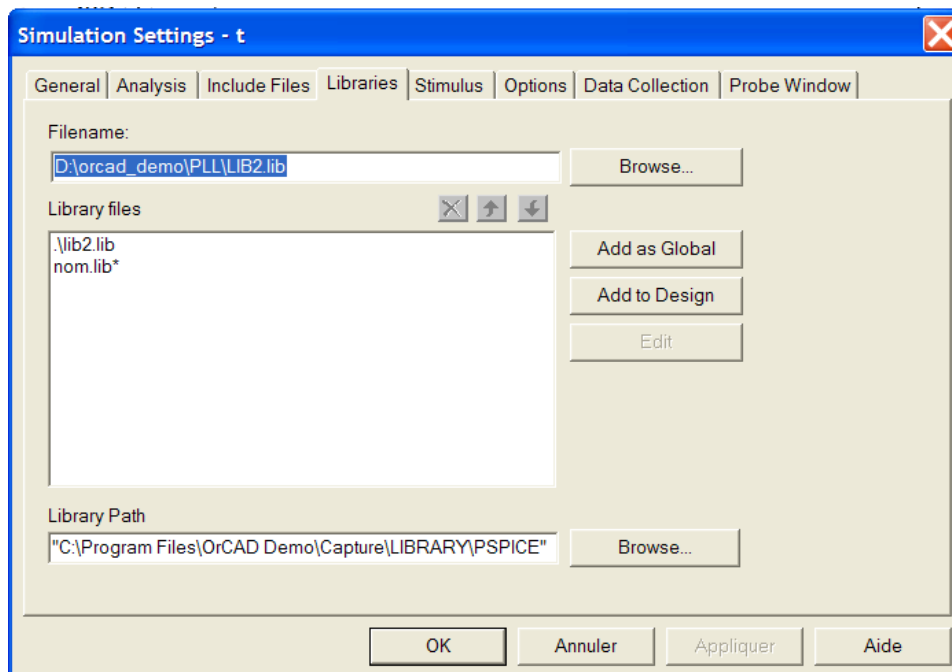
Approche des boucles à verrouillage de phase par simulation.

Rappel : Une boucle à verrouillage de phase est un asservissement de phase (et donc de fréquence). Elle est constituée de 3 éléments essentiels : un comparateur de phase, un filtre passe bas et un VCO. Un diviseur de fréquence placé dans la chaîne de réaction permet de faire de la multiplication de fréquence.



#### Consignes pour la simulation :

- Dans le profil de simulation, menu Probe Window, cocher la case Last plot permet de conserver les graphes tels qu'ils ont été définis dans la simulation précédente. Ne pas fermer le logiciel qui donne les résultats de simulation, à chaque modification. Cela évite de recommencer l'organisation des graphes à chaque fois.
- Les bibliothèques LIB2.lib et LIB2.olb sont indispensables pour les simulations. Elles doivent être copiées dans le répertoire PLL. La bibliothèque LIB2.lib doit être déclarée sous ORCAD de la manière suivante : Dans le profil de simulation, ajouter la bibliothèque LIB2.lib en Design (Browse puis Add to Design).



#### Consignes pour le compte rendu :

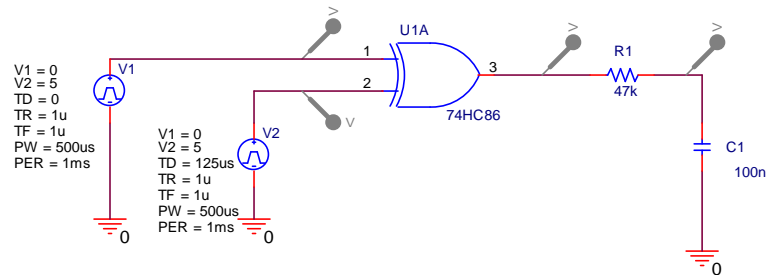
- Un résultat de simulation pour chaque cas suffit

# 1 – Comparateur de phase

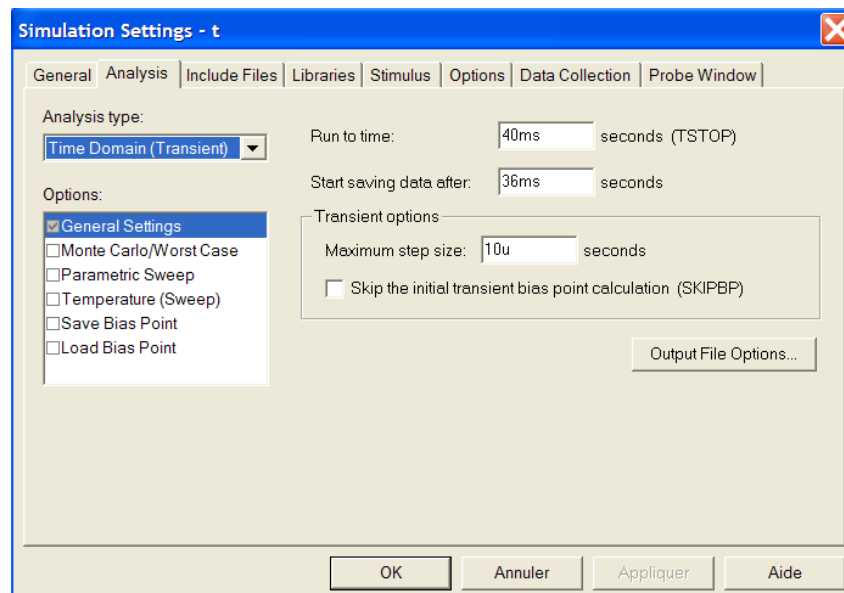
## Porte OU exclusif

Une porte OU exclusif permet de réaliser un comparateur de phase pour des signaux numériques de rapport cyclique 0,5.

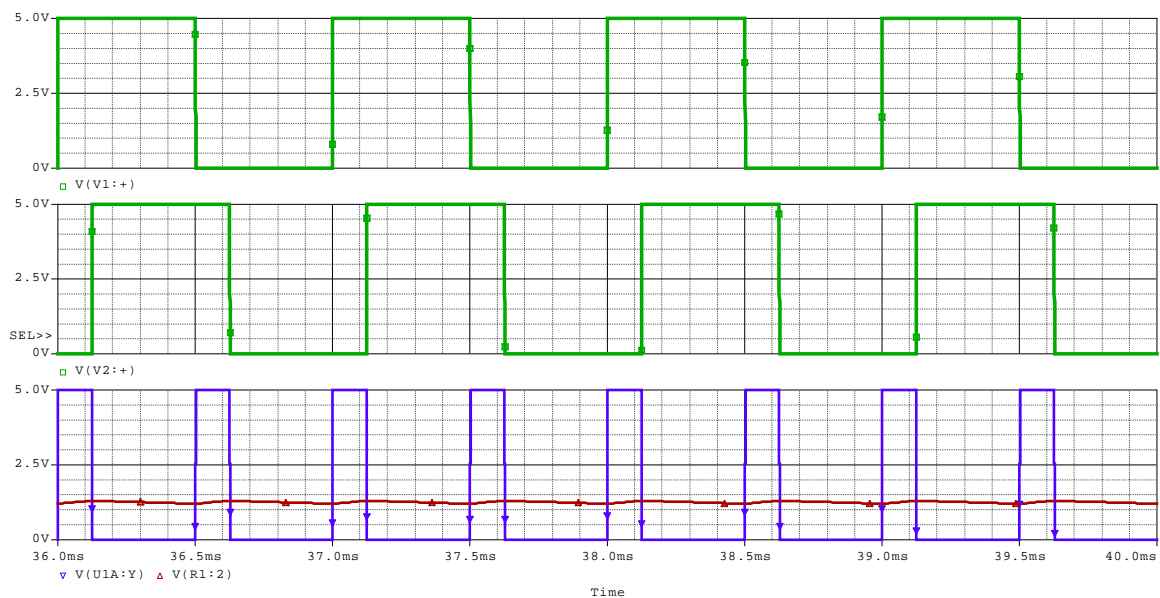
⇒ Ouvrir le projet : PLL\comparateur\_phase\_OU\_exclusif



⇒ Réaliser une première simulation suivant le profil ci-dessous :



Résultats de simulation :



⇒ En agissant sur le retard TD de V2, réaliser la simulation pour un déphasage de  $0, \pi/4, \pi/2, 3\pi/4$  et  $\pi$ .

(pour un retard de 125us et une période de 1ms, déphasage =  $(0,125/1) \cdot 2 \cdot \pi = \pi/4$ )

Remarque : dans le profil de simulation, menu Probe Window, cocher la case Last plot permet de conserver les graphes tels qu'ils ont été définis dans la simulation précédente.

⇒ Pour chaque cas, préciser la valeur de la tension quasi continue en sortie du filtre passe bas et vérifier la relation :

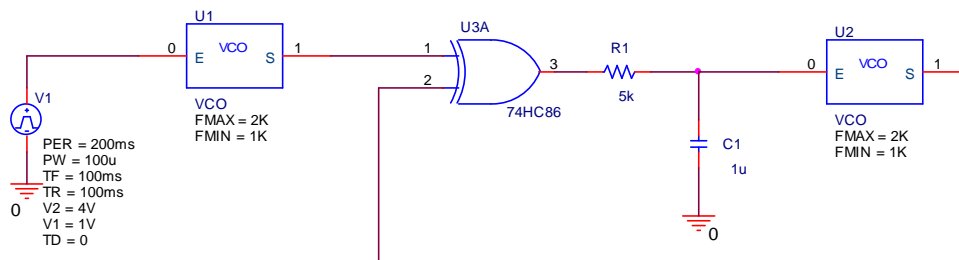
$$U := \frac{VDD}{\pi} \cdot \phi$$

⇒ Préciser le point de repos de la phase pour le point milieu  $U=2,5V$ .

⇒ Comparer la constante de temps RC du filtre passe bas vis-à-vis de la période des signaux d'entrée.

## 2 – Etude d'une PLL

⇒ Ouvrir le projet : PLL\pll\_4046\_comp1

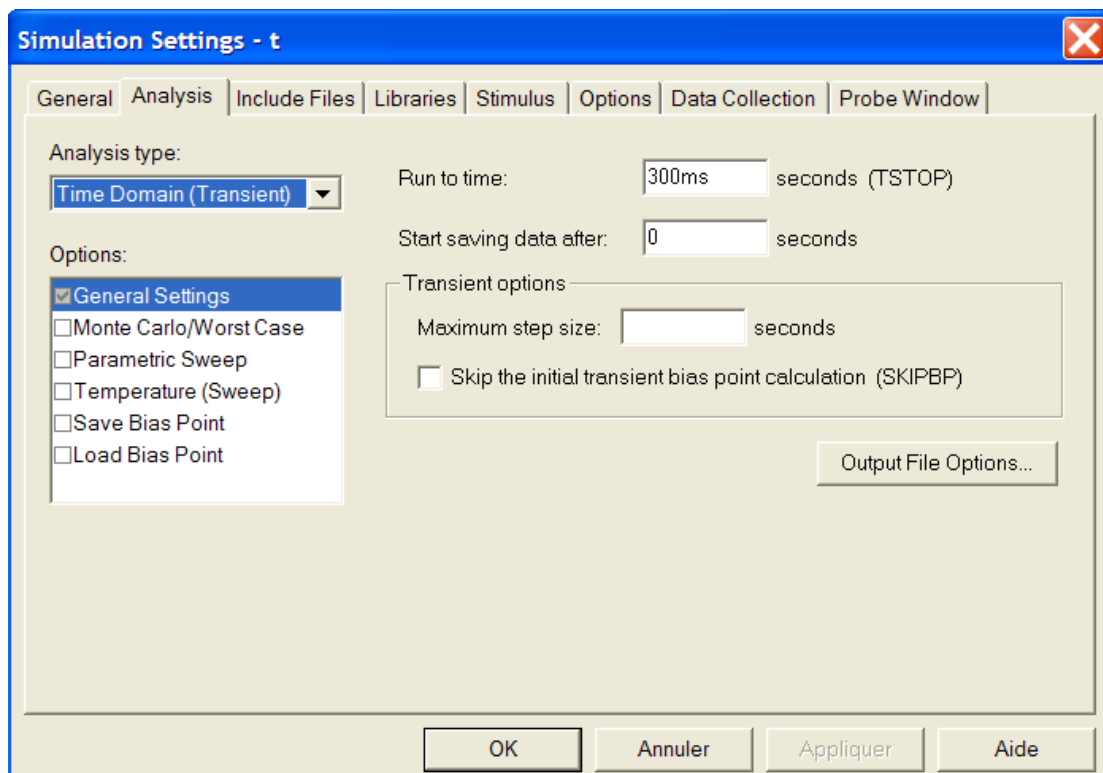


La PLL est attaquée par la sortie du VCO (U1), dont la fréquence est directement proportionnelle à la tension d'entrée.

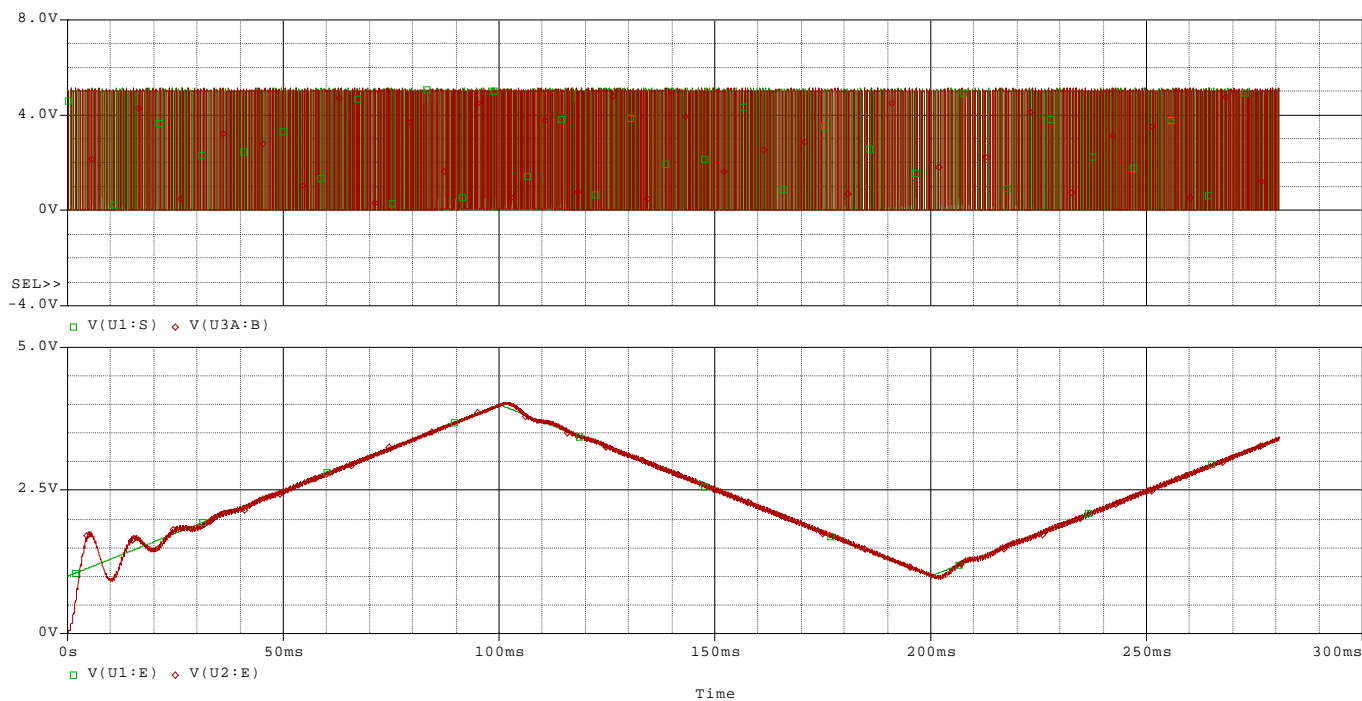
Les 2 VCO (U1 et U2) sont identiques.

Lorsque les tensions d'entrée des 2 VCO sont égales, on peut en déduire que les fréquences en entrée et en sortie de la PLL sont égales également.

Profil de simulation :

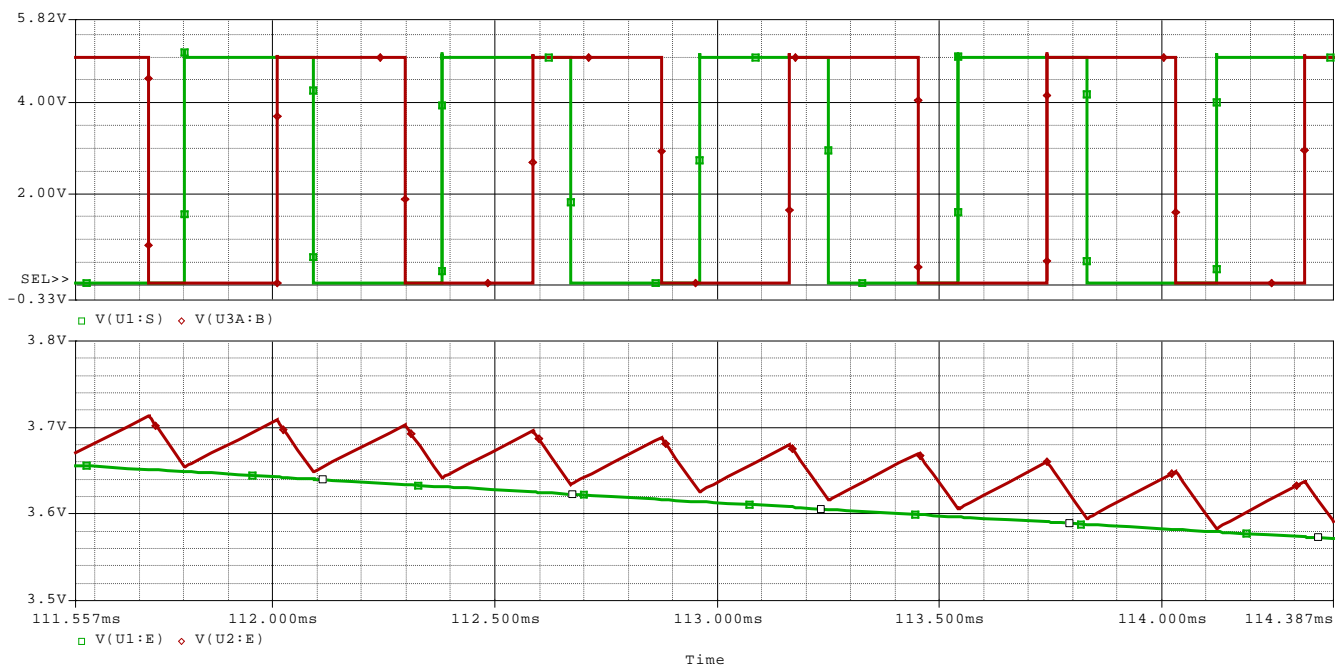


## Résultats de la simulation



⇒ Préciser sur les résultats obtenus ci-dessus les périodes où la boucle est verrouillée

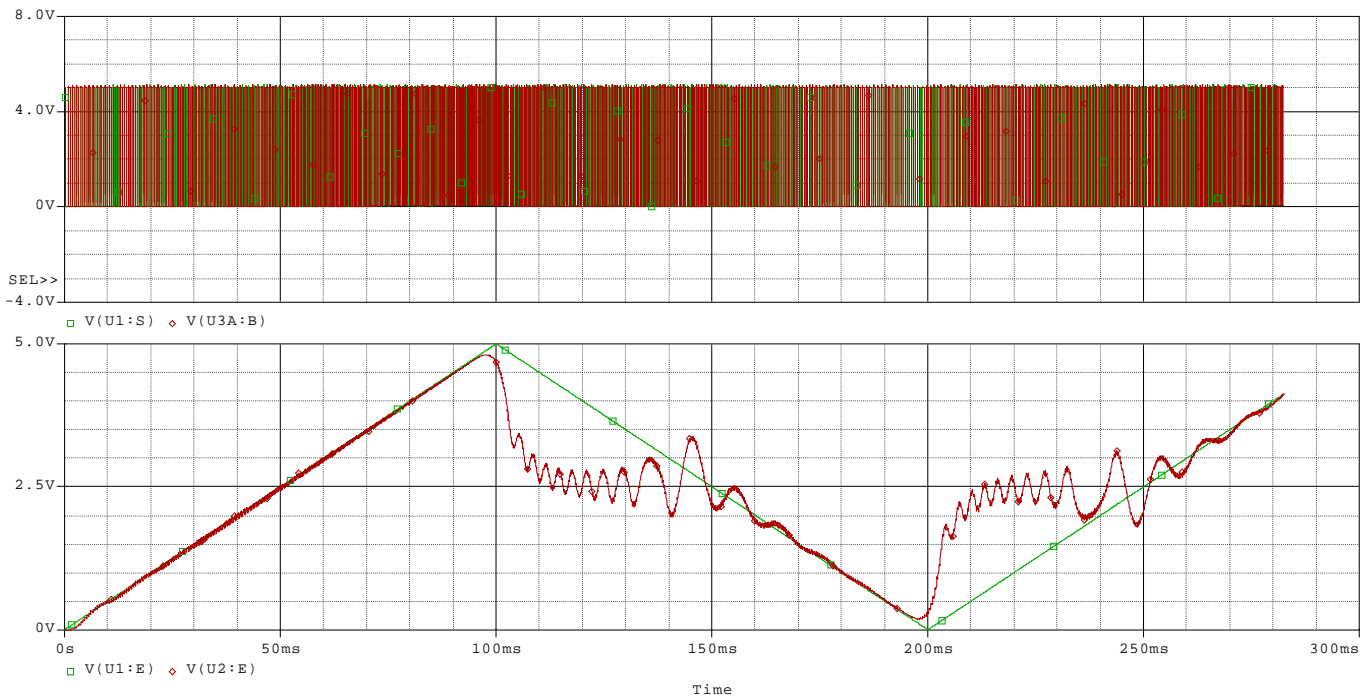
⇒ Après avoir fait un zoom comme ci-dessous et en déplaçant le curseur, compléter le tableau ci-dessous lorsque la boucle est verrouillée :



Tension moyenne en entrée du VCO de la PLL	1V	2,5V	4V
Fréquence entrée PLL			
Fréquence sortie PLL			
Déphasage			

⇒ Modifier le générateur V1 pour avoir une tension qui varie de 0V à 5V, comme ci-dessous et relancer une simulation pour visualiser les tensions en entrée des VCO

V1 = 0V  
V2 = 5V  
TD = 0  
TR = 100ms  
TF = 100ms  
PW = 1us  
PER = 200ms

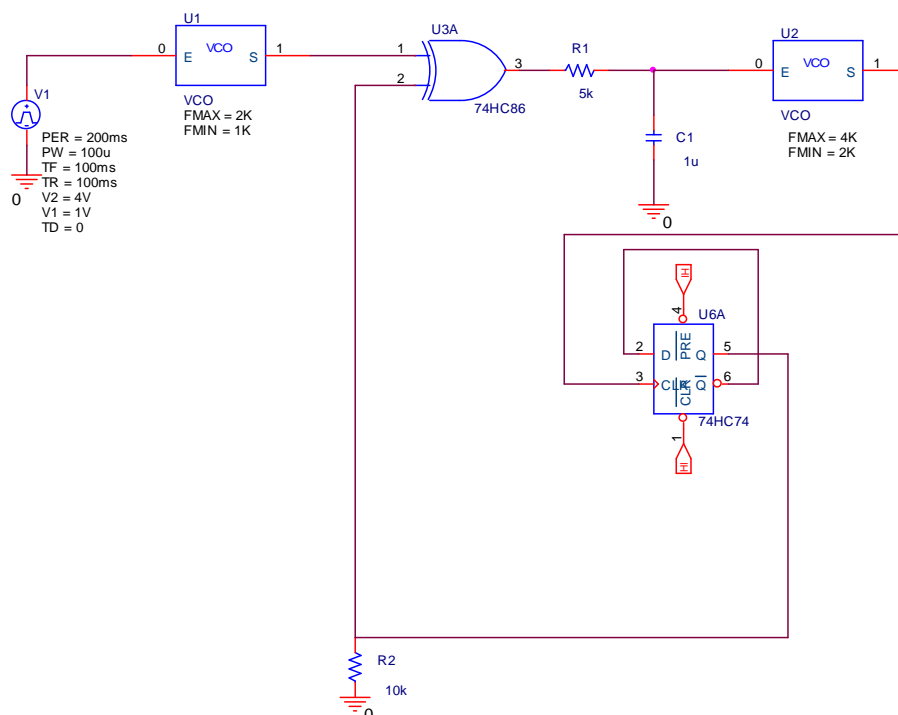


⇒ Préciser sur ces résultats, les périodes où la boucle est verrouillée, les instants de déverrouillage et les instants de capture.

⇒ Indiquer la fréquence en sortie de la PLL lorsqu'elle est déverrouillée.

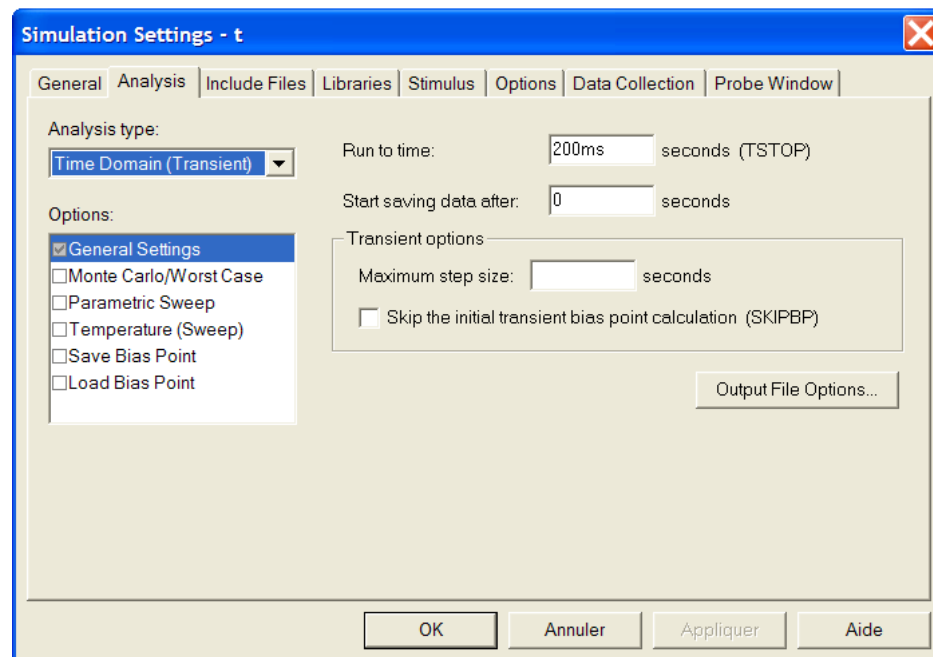
### 3 – Multiplication de fréquence

⇒ Ouvrir le projet : PLL\pll4046\_multi\_freq

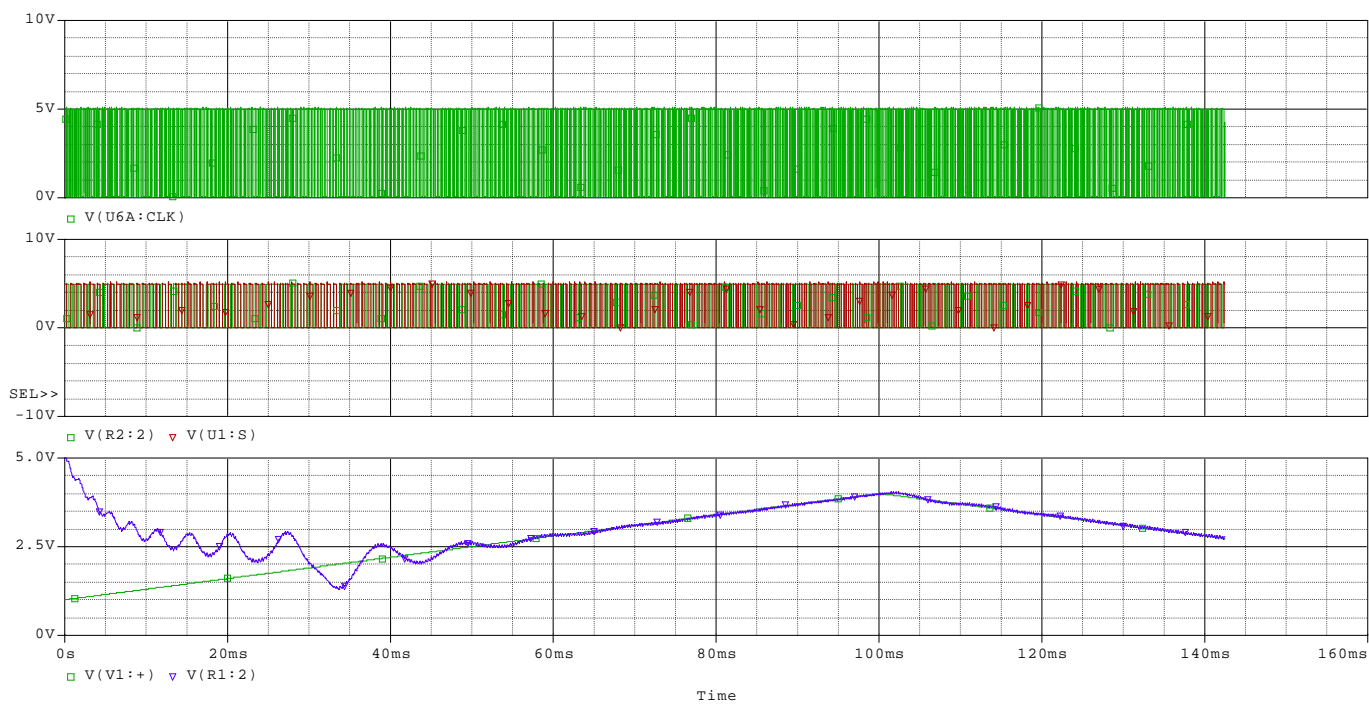


Le circuit 74HC74 est une bascule et constitue, tel qu'elle est câblée, un diviseur de fréquence par 2. Elle est placée dans la chaîne de retour de la boucle.

Profil de simulation



⇒ Réaliser une simulation pour obtenir les résultats suivants :



⇒ Repérer les périodes où la boucle est verrouillée

⇒ Après avoir fait un zoom comme ci-dessous (dans la zone où la boucle est verrouillée) et en déplaçant le curseur, montrer que la fréquence de sortie est 2 fois la fréquence d'entrée.

